

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010004897 A**(43)Date of publication of application: **15.01.2001**(21)Application number: **1019990025660**(71)Applicant: **HYNIX SEMICONDUCTOR INC.**(22)Date of filing: **30.06.1999**(72)Inventor: **LIM, HO NAM
LIM, YEONG JIN
YOON, SANG HO**

(51)Int. Cl.

G09G 3/36**(54) DATA TRANSFER CIRCUIT AND METHOD FOR DECREASING ELECTROMAGNETIC INTERFERENCE****(57) Abstract:**

PURPOSE: A data transmitting circuit and a method for decreasing electromagnetic interference are provided to decrease data swing time to reduce an electromagnetic interference or a noise generated in data swing, thereby assuring the stable operation of a LCD module. **CONSTITUTION:** The data transmitting circuit for decreasing electromagnetic interference comprises a data swing discriminator(10), an adder(20) and a signal generator(30). The data swing discriminator(10) compares previous data output signals(DATA_OUT) output through D flip-flops(1-4) and then temporarily stored and current data input signals(P_DATA) to discriminate a data swing. The adder(20) adds the data swing times for respective bit in accordance with the output signals of the discriminator(10). The signal generator(30) generates a comparison signal(COMP) comparing total data swing times output from the adder(20) and a reference swing number to decide the inversion of input data signals, and a data state signal(INV_OUT) representing the data signal inversion condition.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000809)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (20020528)

Patent registration number (1003493810000)

Date of registration (20020807)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

| | | |
|----------------------------|--|------------------------------|
| (51) Int. Cl. G09G 3/36 | (11) 공개번호 (43) 공개일자 | 특2001-0004897 2001년01월15일 |
| (21) 출원번호 (22) 출원일자 | 10-1999-0025660 1999년06월30일 | |
| (71) 출원인 | 현대전자산업 주식회사, 김영환 대한민국 467701 경기도 이천시 부발읍 아미리 산 136-1 대한민국 137-131 서울특별시서초구양재1동20-12점현빌딩401호 임영진 대한민국 463-500 경기도 성남시분당구구미동우지개마을창구아파트508-1005 윤상호 대한민국 472-860 경기도 남양주시진접읍연평1리150 | |
| (72) 발명자 | 임호남 대한민국 137-131 서울특별시서초구양재1동20-12점현빌딩401호 임영진 대한민국 463-500 경기도 남양주시진접읍연평1리150 | |
| (74) 대리인 (77) 심사청구 | 강성배 있음 | |
| (54) 출원명 | 전자기 간섭을 감소시키기 위한 데이터 전송 방법 및 회로 | |

요약

본 발명은 박막 트랜지스터-액정 표시 소자의 구동 회로에 있어서, 전자기 간섭을 감소시키기 위한 데이터 전송 방법 및 회로에 관한 것이다.

본 발명은 일시적으로 저장된 비트열 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 상기 두 신호의 전체 스윙 수가 기준 스윙 수 이상인 경우에는 입력된 데이터 신호를 반전시켜서 출력함으로써 데이터 스윙 수를 감소시키고 그에 따라 전자기 간섭을 감소시키는 방법을 포함한다.

본 발명은 전자기 간섭을 감소시키기 위한 데이터 전송 회로에 있어서, 데이터 입력 신호를 반전 또는 반전시키지 않고 출력하고, 출력된 이전의 데이터 신호와 현재의 데이터 입력 신호를 비교하여 데이터 스윙 여부를 판별하는 데이터 스윙 판별부; 상기 데이터 스윙 판별부의 출력 신호에 따라 데이터 스윙 수를 합산하는 가산부; 및 상기 가산부에서 출력된 전체 데이터 스윙 수와 기준 스윙 수를 비교하여 데이터 신호의 반전 여부를 나타내는 신호 발생부를 포함한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 전자기 간섭을 감소시키기 위한 데이터 전송 회로도.

도 2는 데이터 입력 신호가 4 비트인 경우에 본 발명에 따른 전자기 간섭을 감소시키기 위한 데이터 전송 회로에 따른 데이터 스윙 수를 나타낸 파형도.

(도면의 주요 부분에 대한 부호의 명칭)

10: 데이터 스윙 판별부 20: 가산부
30: 신호 발생부 1, 2, 3, 4, 32: D 플립 플롭

11, 12, 13, 14: 데이터 스윙 판별 수단

21, 22, 23: 가산기 31: 비교기

NOT1, ..., NOT4: 인버터 MUX1, ..., MUX4: 멀티플렉서

XOR1, ..., XOR4: 배타적 OR 게이트

DATA0, ..., DATA3: 데이터 입력 신호

DATA_OUT0, ..., DATA_OUT3: 데이터 출력 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 소자(Liquid Crystal Display: 이하 LCD라 칭한다)의 구동 회로에 관한 것으로서, 보다 구체적으로는 전자기 간섭(ElectroMagnetic Interference: EM) 및 노이즈(Noise)를 감소시키기 위한 데이터 전송 방법 및 회로에 관한 것이다.

최근의 박막 트랜지스터-액정 표시 소자(Thin Film Transistor-Liquid Crystal Display: TFT-LCD)는, 데이터 처리 속도의 향상을 위해서 데이터 및 클럭(Clock) 주파수가 점차 높아져가고 있다. 그에 따라, 데이터 및 클럭의 높은 주파수로 인해 전자기 간섭 및 노이즈도 증가하게 되었다.

상기와 같이 데이터 처리 속도의 향상을 위해 데이터 및 클럭의 주파수를 높이는 경우에, 그에 따른 전자기 간섭 및 노이즈에 의해 인쇄 및 기타 주변 기기의 동작에 좋지 않은 영향을 미치게 되었다.

종래에는 상기와 같은 문제점을 해결하기 위하여 데이터 신호의 상승 시간(Rising Time) 또는 하강 시간(Falling Time)을 길게 하는 방법을 사용하여 왔다.

발명이 이루고자 하는 기술적 과제

그러나, 전자기 간섭 및 노이즈를 차단하기 위해 데이터 신호의 상승 및 하강 시간을 길게 하는 경우에는 신호의 처리 속도가 떨어지고, 정밀성(integrity)도 감소되는 문제점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 전자기 간섭이나 노이즈는 데이터가 전이하는 데이터 스윙 시에 발생하는 것에 착안하여, 데이터의 스윙 수를 감소시켜서 그에 따른 전자기 간섭 및 노이즈를 줄이는 것을 목적으로 한다.

또한, 본 발명은 전자기 간섭 및 노이즈를 감소시킴으로써 LCD 모듈(Module)의 안정적인 동작을 확보하고, 사람과 자연에 우호한 제품을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 전자기 간섭 및 노이즈를 감소시키기 위한 데이터 전송 방법에 있어서, 일시적으로 저장된 각 비트별 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 상기 두 신호의 스윙 수가 기준 스윙 수 이상일 경우에는 현재의 데이터 입력 신호를 반전시켜서 출력하고 상기 데이터 출력 신호의 상태를 나타내는 데이터 상태 신호를 함께 출력함으로써 데이터 스윙 수를 감소시키고 전자기 간섭 및 노이즈를 차단하는 것을 특징으로 한다.

상기의 데이터 스윙 수를 감소시키는 방법을 이용한 데이터 전송 회로에 있어서, 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 각 비트별 데이터 스윙 여부를 판별하는 데이터 스윙 판별부; 상기 데이터 스윙 판별부의 출력 신호에 따라 데이터 스윙 수를 합산하는 가산부; 및 상기 가산부에서 출력되는 전체 데이터 스윙 수와 기준 스윙 수를 비교하여 입력된 데이터 신호의 반전 여부를 조절하기 위한 비교 신호를 상기 데이터 스윙 판별부로 전달하고, 데이터 신호의 반전 여부를 나타내는 데이터 상태 신호를 발생하는 신호 발생부를 포함하는 것을 특징으로 한다.

상기 가산부는 데이터 스윙 판별부의 각 비트별 출력 신호를 가산하여 전체 데이터 스윙 수를 카운트하는 것을 특징으로 한다.

상기 신호 발생부는 가산부에서 출력된 전체 데이터 스윙 수와 기준 스윙 수를 비교하여 데이터 스윙 수가 기준 스윙 수 이상일 때는 데이터 입력 신호가 반전되어 출력됨을 나타내는 신호를 발생하고, 입력되는 데이터 신호를 반전시켜서 전달하기 위하여 상기 비교 신호를 데이터 스윙 판별부의 멀티플렉서로 제공되는 것을 특징으로 한다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 1은 본 발명의 실시예에 따른 전자기 간섭을 감소시키기 위한 데이터 전송 회로를 나타낸 것으로서 데이터 입력 신호가 4 비트인 경우를 도시하였다. 도 1을 참조하면, 본 발명은 D 플립 플롭(1, 2, 3, 4)을 통하여 출력 후, 일시적으로 저장된 이전의 데이터 출력 신호(DATA_OUT0, ..., DATA_OUT3)와 현재의 데이터 입력 신호(P_DATA0, ..., P_DATA3)를 비교하여 데이터 스윙 여부를 판별하는 데이터 스윙 판별부(10); 상기 데이터 스윙 판별부(10)의 출력 신호에 따라 각 비트별 데이터 스윙 수를 합산하는 가산부(20); 및 상기 가산부(20)에서 출력되는 전체 데이터 스윙 수와 기준 스윙 수(KEY)를 비교하여 입력되는 데이터 신호의 반전 여부를 결정하기 위한 비교 신호(COMP)와, 상기 데이터 신호의 반전 여부를 나타내는 데이터 상태 신호(INV_OUT)를 출력하는 신호 발생부(30)로 이루어진다.

상기 데이터 스윙 판별부(10)는 제 1 내지 제 4 데이터 입력 신호(DATA0, ..., DATA3)에 있어서, 클럭 신호(CLOCK)에 따라 출력되는 이전의 데이터 출력 신호(DATA_OUT0, ..., DATA_OUT3)와 현재의 데이터 입력 신호(P_DATA0, ..., P_DATA3)를 각각 비교하는 제 1 내지 제 4 데이터 스윙 판별 수단(11, 12, 13, 14)으로 이루어진다.

상기 제 1 데이터 스윙 판별 수단(11)은 제 1 데이터 입력 신호(DATA0)와 인버터(NOT1)를 통하여 반전된 제 1 데이터 입력 신호를 입력으로 하는 제 1 멀티플렉서(Multiplexer: MUX1)와, 클럭 신호(CLOCK)에 따라 상기 제 1 멀티플렉서(MUX1)의 출력 신호를 전달하는 제 1 D 플립 플롭(1)과, 상기 제 1 D 플립 플롭(1)의 출력 신호와 제 1 데이터 입력 신호(DATA0)를 입력으로 하는 제 1 배타적 OR 게이트(XOR1)로 이루어진다.

이 때, 상기 제 1 멀티플렉서(MUX1)는 가산부(20)에서 출력된 전체 데이터 스윙 수와 기준 스윙 수(KEY)를 비교한 비교 신호(COMP)를 제어 신호로 제공받아서, 상기 제어 신호(COMP)에 따라 데이터 입력 신호를 그대로 출력하거나 또는 상기 데이터 입력 신호의 반전 신호를 출력한다.

상기 제 2 내지 제 4 데이터 스윙 판별 수단(11, 13, 14)은 각각 제 2 내지 제 4 데이터 입력 신호(DATA1, ..., DATA3)를 입력으로 하고, 구성 및 동작은 상기 제 1 데이터 스윙 판별 수단(12)의 구성 및 동작과 동일하다.

상기 가산부(20)는 제 1 및 제 2 데이터 스윙 판별 수단(11, 12)의 출력값을 합산하기 위한 제 1 가산기(21)와, 제 3 및 제 4 데이터 스윙 판별 수단(13, 14)의 출력값을 합산하기 위한 제 2 가산기(22)와 상기 제 1 및 제 2 가산기(21, 22)의 출력값을 합산하기 위한 제 3 가산기(23)로 이루어진다.

상기 신호 발생부(30)는 제 3 가산기(23)의 출력값과 기준 스윙 수(KEY)를 비교하여 입력 데이터 신호의 반전 여부를 결정하기 위한 비교 신호(COMP)를 발생하는 비교기(31)와 클럭 신호(CLOCK)에 따라 상기 데이터 신호의 반전 여부를 나타내는 데이터 상태 신호(INV_OUT)를 발생하기 위한 D 플립 플롭(32)으로 이루어진다.

상기의 구성을 갖는 본 발명은 이전의 데이터 신호가 현재의 데이터 신호로 천이하는 전체 데이터 스윙 수가 기준 스윙 수보다 작을 때는 데이터 입력 신호를 그대로 출력하고, 상기 데이터 스윙 수가 기준 스윙 수 이상일 때는 데이터 입력 신호를 반전시켜서 출력함으로써 데이터 스윙 수를 감소시켜서 전자기 간섭 및 노이즈를 감소시킨다.

상기만 바와 같은 본 발명의 실시예에 따른 전자기 간섭을 감소시키기 위한 데이터 전송 회로의 동작을 자세히 설명하면 다음과 같다.

데이터 스윙 판별부(10) 중에서 제 1 데이터 스윙 판별 수단(11)을 참조하면, 멀티플렉서(MUX1)는 신호 발생부(30)에서 가산부(20)에서 출력되는 전체 데이터 스윙 수와 기준 스윙 수(KEY)를 비교한 비교 신호(COMP)에 따라 데이터 입력 신호(DATA0) 또는 상기 데이터 입력 신호의 반전 신호를 선택하여 출력한다.

이 때, 상기 멀티플렉서(MUX1)는 가산부(20)의 출력값이 기준 스윙 수(KEY)보다 작을 때는 데이터 입력 신호를 그대로 출력하고, 가산부(20)의 출력값이 기준 스윙 수(KEY) 이상일 때는 데이터 입력 신호를 반전시켜서 출력한다. 그리고, 신호 발생부(30)에서는 데이터 입력 신호가 반전되어 출력됨을 나타내는 하이 상태의 데이터 상태 신호(INV_OUT)를 발생한다.

데이터 입력 신호 또는 데이터 입력 신호의 반전 신호를 제공받는 D 플립 플롭(1)은 상기 데이터 입력 신호 또는 데이터 입력 신호의 반전 신호를 유지하고 있다가 클럭 신호(CLOCK)가 들어오면 상기 신호를 배타적 OR 게이트(XOR1)의 입력으로 제공한다. 이 때, D 플립 플롭(1)을 통하여 출력되는 데이터 신호(DATA_OUT0)는 상기 D 플립 플롭(1)을 통과하지 않고 배타적 OR 게이트(XOR1)의 다른 입력 단자에 바로 전달되는 현재의 데이터 신호(P_DATA0)에 비해서, 1 클럭 동안 지연되어 제공된다.

결국, 상기 배타적 OR 게이트(XOR1)는 D 플립 플롭(1)을 통과하지 않은 현재의 데이터 신호(P_DATA0)와 상기 D 플립 플롭(1)을 통하여 전달된 이전의 데이터 신호(DATA_OUT0)를 비교하여, 상기 두 데이터 신호(P_DATA0, DATA_OUT0)가 다른 경우에 데이터 스윙이 있음을 나타내는 하이 상태의 신호를 발생하고, 상기 두 데이터 신호(P_DATA0, DATA_OUT0)가 같은 경우에는 데이터 스윙이 없음을 나타내는 로우 상태의 신호를 발생한다.

제 2 내지 제 4 데이터 스윙 판별 수단(12, 13, 14)의 구성 및 동작은 상기 제 1 데이터 스윙 판별 수단(11)의 구성 및 동작과 동일하다.

이렇게 해서, 제 1 내지 제 4 데이터 스윙 판별 수단(11, 12, 13, 14)은 이전의 데이터 신호(DATA_OUT0, ..., DATA_OUT3)와 현재의 데이터 신호(P_DATA0, ..., P_DATA3)를 비교하여 데이터 스윙 여부를 나타내는 신호를 각각 가산부(20)로 제공한다.

가산부(20)에서는 제 1 및 제 2 데이터 스윙 판별 수단(11, 12)의 데이터 스윙 수와, 제 3 및 제 4 데이터 스윙 판별 수단(13, 14)의 데이터 스윙 수를 각각 1 비트 가산기(21, 22)를 통하여 합산하고, 상기 제 1 및 제 2 가산기(21, 22)의 2 비트 출력 신호를 제 3 가산기(23)에서 합산하여 최종적으로 3 비트의 합산된 값을 발생한다.

상기 가산부(20)의 출력값 즉, 데이터 스윙 수는 신호 발생부(30)의 비교기(31)에서 기준 스윙 수(KEY)와 비교하여, 데이터 스윙 수가 기준 스윙 수(KEY) 이상일 때는 하이 상태의 비교 신호(COMP)를 발생하고, 기준 스윙 수(KEY)보다 작을 때는 로우 상태의 비교 신호(COMP)를 발생한다.

비교기(31)에서 출력되는 비교 신호(COMP)는 D 플립 플롭(32)으로 제공되고 상기 D 플립 플롭(31)에 클럭 신호(CLOCK)가 인가되면, 데이터 상태 신호(INV_OUT)는 구동 회로에 제공된다. 상기 데이터 상태 신호(INV_OUT)가 하이 상태로 출력되면, 데이터 입력 신호가 반전되어 출력되었음을 나타내고, 데이터 상태 신호(INV_OUT)가 로우 상태로 출력되면, 데이터 입력 신호가 반전되지 않고 그대로 출력되었음을 나타낸다.

또한, 상기 비교기(31)의 비교 신호(COMP)는 데이터 스윙 판별 수단(11, 12, 13, 14)의 멀티플렉서(MUX1, ..., MUX4)에 제어 신호로서 인가되어, 데이터 스윙 수가 기준 스윙 수(KEY) 이상일 때는 데이터 입력 신호(DATA0, ..., DATA3)의 반전 신호를 전달하고, 데이터 스윙 수가 기준 스윙 수(KEY)보다 작을 때는 데이터 입력 신호(DATA0, ..., DATA3)를 그대로 출력한다.

임의의 4 비트의 데이터 입력 신호(DATA0, ..., DATA3)가 인가되는 경우의 데이터 출력 신호(DATA_OUT0, ..., DATA_OUT3)의 변화를 도 2에 도시하였다. 도 2를 참조하여, 데이터 출력 신호(DATA_OUT0, ..., DATA_OUT3)의 변화를 살펴보면 다음과 같다.

여기에서, 기준 스윙 수(KEY)는 $KEY = (\text{총 데이터 비트수}/2) + 1 = 4/2 + 1 = "3"$ 으로 설정하였다.

초기에는 신호 발생부(30)의 비교값(COMP)이 '0'의 값을 가지기 때문에 제 1 내지 제 4 데이터 스윙 판별 수단(11, 12, 13, 14)의 제 1 내지 제 4 멀티플렉서(MUX1, ..., MUX4)는 반전되지 않은 데이터 입력 신호(DATA0, ..., DATA3)를 선택한다. 따라서, T = 0 일 때의 "1111" 데이터 입력 신호는 T = 1 일 때, "1111"의 상태 그대로 출력된다.

T = 1 일 때, 배타적 OR 게이트(XOR1, ..., XOR4)는 데이터 입력 신호 "0101" 과 데이터 출력 신호 "1111"를 비교하는데, 상기 데이터 입력 신호 "0101"과 데이터 출력 신호 "1111"는 2 비트만 차이가 나기 때문에 가산부(20)의 출력값("2")은 기준 스윙 수(KEY = "3")보다 작아서 비교기(31)에서는 로우 상태의 비교 신호(COMP = "0")를 출력한다. 따라서, T = 1 일 때의 데이터 입력 신호 "0101"은 반전되지 않고, T = 2 일 때, 그대로 출력된다.

T = 2 일 때, 배타적 OR 게이트(XOR1, ..., XOR4)는 데이터 입력 신호 "1011"과 데이터 출력 신호 "0101"을 비교하는데, 상기 두 신호는 3 비트가 차이난다. 따라서, 가산부(20)에서는 "3"의 출력값을 발생하고, 상기 출력값은 기준 스윙 수(KEY = "3") 이상이기 때문에 비교기(31)에서는 하이 상태의 비교 신호(COM P)를 출력한다. 상기 비교 신호(COM P)는 제 1 내지 제 4 데이터 스윙 판별 수단(11, 12, 13, 14)으로 제공되어 제 1 내지 제 4 멀티플렉서(MUX1, ..., MUX4)는 데이터 입력 신호의 반전된 신호를 제 1 내지 제 4 D 플립 플롭(1, 2, 3, 4)으로 전달한다. 결국, T = 2 일 때의 데이터 입력 신호 "1011"은 T = 3 일 때, 반전되어 "0100"의 신호로 출력된다. 그리고, 신호 발생부(30)에서는 데이터 입력 신호 "1011"이 반전되어 "0100"의 상태로 출력되었음을 나타내는 하이 상태의 신호(INV_OUT)를 발생한다.

T = 3 일 때, 배타적 OR 게이트(XOR1, ..., XOR4)는 데이터 입력 신호 "0001"과 데이터 출력 신호 "0100"을 비교하는데, 상기 두 신호는 2 비트 차이가 나기 때문에 가산부(20)의 출력값("2")은 기준 스윙 수(KEY = "3")보다 작아서 비교기(31)에서는 로우 상태의 비교 신호(COM P)를 출력한다. 따라서, T = 3 일 때의 데이터 입력 신호 "0001"은 반전되지 않고, T = 4 일 때, 그대로 출력된다.

T = 4 일 때는 데이터 입력 신호 "1111"과 데이터 출력 신호 "0001"가 3 비트가 차이 나기 때문에 비교기(31)에서는 하이 상태의 비교 신호(COM P)가 발생하고, T = 5 일 때, 데이터 입력 신호 "1111"은 반전되어 "0000"의 데이터 출력 신호를 발생한다.

T = 5 일 때, 데이터 입력 신호 "0100"는 데이터 출력 신호 "0000"과 1 비트만 차이가 나기 때문에, 비교기(31)에서는 로우 상태의 비교 신호(COM P)를 발생하고, 데이터 입력 신호 "0100"은 T = 6 일 때, 반전되지 않고 그대로 출력된다.

T = 6 일 때, 데이터 입력 신호 "1011"는 데이터 출력 신호 "0100"와 4 비트 차이가 나기 때문에, 비교기(31)에서는 하이 상태의 비교 신호(COM P)를 발생하고, 데이터 입력 신호 "1011"은 T = 7 일 때, 반전되어 "0100"의 데이터 출력 신호를 발생한다.

도 2a는 4 비트의 임의의 데이터가 인가되는 경우를 도시한 것으로서, 4 비트 데이터 입력 신호의 전체 스윙 수는 17번이다.

도 2b는 상기 데이터 입력 신호가 그대로 출력되는 경우를 도시한 것으로서, 데이터 입력 신호가 출력 신호에 의해 순차적으로 전달되기 때문에 17번의 스윙이 그대로 나타난다.

도 2c는 상기 데이터 입력 신호가 본 발명에 따른 전자기 간섭을 감소시키기 위한 데이터 전송 회로에 의해서 데이터 출력 신호가 변화하는 것을 도시한 것이다. 도 2c를 참조하면, 데이터 입력 신호는 17 번의 스윙이 있었던 반면에, 데이터 출력 신호는 12 번의 스윙만 발생함으로써 데이터 스윙 수가 감소함을 알 수 있다.

발명의 효과

이상에서 자세히 설명된 바와 같이, 본 발명의 전자기 간섭을 감소시키기 위한 데이터 전송 회로에 따르면, 임시적으로 저장된 각 비트별 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 상기 두 신호의 전체 스윙 수가 기준 스윙 수 이상일 경우에는 현재의 데이터 입력 신호를 반전시켜 출력함으로써 데이터 스윙 수를 감소시키고 전자기 간섭이나 노이즈를 방지할 수 있다.

그에 따라, LCD 모듈의 안정적인 동작을 확보하고 사람과 자연에 무해한 제품을 생산할 수 있고, 특히, XGA(eXtended video Graphics Array) 이상의 노트북(NoteBook)용 컴퓨터에 큰 효과를 나타낼 수 있다.

또한, 데이터 신호의 상승 시간 및 하강 시간을 길게하지 않음으로써 신호 처리에 있어서 정밀성을 유지할 수 있는 이점이 있다.

이하, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

전체 데이터 스윙 수를 감소시킴으로써 전자기 간섭을 감소시키기 위한 데이터 전송 방법에 있어서,

임시적으로 저장된 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 각 비트별로 비교하여 데이터 스윙 여부를 판별하는 단계와,

상기에서 판별된 비트별 데이터 스윙 수를 합산하는 단계와,

상기에서 합산된 비트별 데이터 스윙 수와 기준 스윙 수를 비교하는 단계와,

비트별 데이터 스윙 수가 기준 스윙 수 이상인 경우에는 현재의 데이터 입력 신호를 반전시켜서 출력하는 단계와,

비트별 데이터 스윙 수가 기준 스윙 수보다 작은 경우에는 현재의 데이터 입력 신호를 그대로 출력하는 단계와,

현재의 데이터 입력 신호가 반전되어 출력되는 경우에는 상기 데이터 입력 신호가 반전되었음을 나타내는 데이터 상태 신호를 발생하는 단계를 포함하는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 방법.

청구항 2.

임시적으로 저장된 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 상기 두 신호의 스윙 수가 기준 스윙 수 이상일 경우에는 현재의 데이터 입력 신호를 반전시켜서 출력하고, 그 외의 경우에는 현재의 데이터 입력 신호를 그대로 출력함으로써 데이터 스윙 수를 감소시키기 위한 데이터 전송 회로에 있어서,

비트별 데이터 출력 신호를 임시적으로 저장하고, 저장된 데이터 출력 신호와 현재의 데이터 입력 신호를 비교하여 데이터 스윙 여부를 판별하는 데이터 스윙 판별부;

상기 비트별 데이터 스윙 판별부의 출력 신호에 따라 전체 데이터 비트의 스윙 수를 합산하는 가산부; 및,

상기 가산부의 출력되는 데이터 스윙 수와 기준 스윙수를 비교하여 그에 따라 현재의 입력 데이터 신호를 반전시키거나 또는 그대로 전달하기 위한 비교 신호를 데이터 스윙 판별부로 전달하고, 상기 데이터 입력 신호의 반전 여부를 나타내는 데이터 상태 신호를 출력하는 신호 발생부를 포함하는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

청구항 3.

제 2 항에 있어서, 상기 데이터 스윙 판별부는

일시적으로 저장된 이전의 데이터 출력 신호와 현재의 데이터 입력 신호를 각 비트별로 비교하기 위한 다수의 데이터 스윙 판별 수단으로 이루어지는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

청구항 4.

제 3 항에 있어서, 상기 다수의 데이터 스윙 판별 수단은

해당하는 데이터 신호와 인버터를 통하여 반전된 데이터 신호를 입력으로 하고 신호 발생부에서 발생된 데이터 스윙수와 기준 스윙수의 비교 신호에 따라 상기 데이터 신호 또는 데이터 신호의 반전 신호를 해당하는 D 플립 플롭으로 전달하는 멀티플렉서와;

클럭 신호에 따라 상기 멀티플렉서에서 전달되는 반전 또는 비반전 데이터 신호를 출력 신호로서 전달하는 다수의 D 플립 플롭과;

상기 다수의 D 플립 플롭을 통하여 출력되는 데이터 출력 신호와 다수의 D 플립 플롭을 통과하지 않고 전달된 현재의 데이터 입력 신호를 직접 입력으로 하는 배타적 OR 게이트로 이루어지는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

청구항 5.

제 2 항에 있어서, 상기 가산부는

다수의 데이터 스윙 판별 수단에서 출력되는 비트별 데이터 스윙 수를 합산하여 전체 데이터 스윙 수를 출력하기 위한 다수의 가산기로 이루어지는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

청구항 6.

제 2 항에 있어서, 상기 신호 발생부는

가산부의 출력된 전체 데이터 스윙 수와 기준 스윙수를 비교한 비교 신호를 발생하는 비교기와;

클럭 신호에 따라 출력되는 데이터 신호의 반전 상태 여부를 나타내는 상기 비교기의 데이터 상태 신호를 LCD 구동 회로로 전달하기 위한 D 플립 플롭으로 이루어지는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

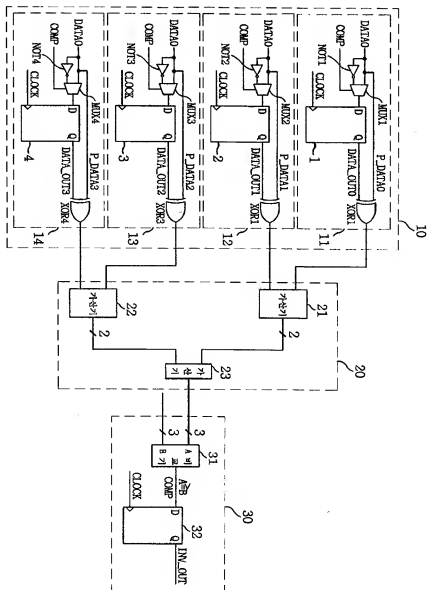
청구항 7.

제 6 항에 있어서, 상기 기준 스윙수는

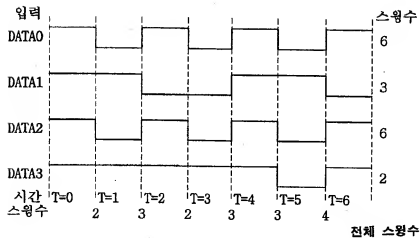
전체 데이터 입력 비트 수의 절반보다 1이 큰 값으로 설정되는 것을 특징으로 하는 전자기 간섭을 감소시키기 위한 데이터 전송 회로.

도면

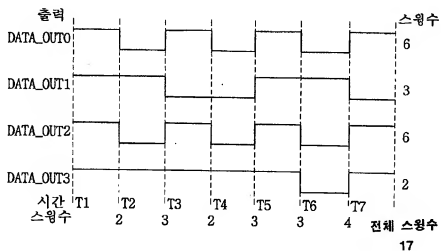
도면 1



도면 2a



도면 2b



도면 2c

